

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-166831

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/336 29/784		8225-4M	H01L 29/78	301 L

審査請求 未請求 請求項の数7(全7頁)

(21)出願番号	特願平3-333085
(22)出願日	平成3年(1991)12月17日

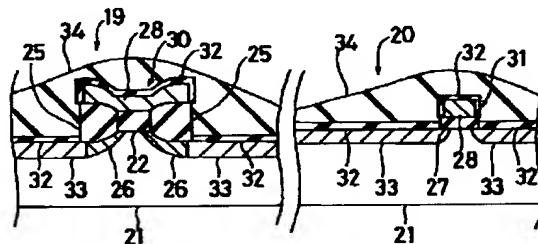
(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(72)発明者	品田 一義 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
(74)代理人	弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】この発明は、高圧系トランジスタにおける耐圧劣化を防止し、トランジスタの信頼性を向上する。

【構成】50Vの高圧系領域19および5Vの低圧系領域20において、P⁻型シリコン基板21の表面上に第1のゲート酸化膜22を設け、このゲート酸化膜22の上に窒化膜を設け、前記高圧系領域19における窒化膜の両側に第1の酸化膜を設け、前記低圧系領域20における窒化膜および第1のゲート酸化膜22を除去し、露出した前記P⁻型シリコン基板21の表面上に第2のゲート酸化膜27を設け、前記高圧系領域19における窒化膜を除去し、前記第1のゲート酸化膜22、第1の酸化膜25および第2のゲート酸化膜27それぞれの上にゲート電極30,31を設け、このゲート電極30,31の両側の前記P⁻型シリコン基板21にソース・ドレイン領域33を形成する。従って、50V系トランジスタにおける耐圧劣化を防止できる。



【特許請求の範囲】

【請求項1】 半導体基板の表面上に第1の酸化膜を設ける工程と、

前記第1の酸化膜の上に高圧系領域における第1の窒化膜および低圧系領域における第2の窒化膜を設け、前記第1の窒化膜の両側の前記半導体基板に、LDD領域を形成するために不純物を導入する工程と、

前記第1の窒化膜の両側に膜厚が前記第1の酸化膜より厚い第2の酸化膜を設ける工程と、

前記第2の窒化膜および前記低圧系領域における前記第1の酸化膜を除去することにより露出した前記半導体基板の表面上に膜厚が前記第1の酸化膜より薄い第3の酸化膜を設ける工程と、

前記第1の窒化膜を除去し、前記第1、第2の酸化膜および前記第3の酸化膜それぞれの上にゲート電極を設ける工程と、

前記ゲート電極の両側の前記半導体基板にソース・ドレイン領域を形成する工程と、

からなることを特徴とする半導体装置の製造方法。

【請求項2】 前記ゲート電極は多結晶シリコンからなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 半導体基板の表面上に第1の酸化膜を設ける工程と、

前記第1の酸化膜の上に高圧系領域における第1の導電層および低圧系領域における第2の導電層を設け、前記第1および第2の導電層それぞれの上に第1および第2の窒化膜を設け、前記第1の導電層および前記第1の窒化膜から構成された第1のゲート電極を形成する工程と、

前記第1のゲート電極の両側の前記半導体基板に、LDD領域を形成するために不純物を導入する工程と、

前記第1のゲート電極の両側に膜厚が前記第1の酸化膜より厚い第2の酸化膜を設ける工程と、

前記第2の窒化膜、前記第2の導電層および前記低圧系領域における前記第1の酸化膜を除去することにより露出した前記半導体基板の表面上に膜厚が第1の酸化膜より薄い第3の酸化膜を設ける工程と、

前記第3の酸化膜の上に第2のゲート電極を設ける工程と、

前記第1および第2のゲート電極の両側の前記半導体基板にソース・ドレイン領域を形成する工程と、

からなることを特徴とする半導体装置の製造方法。

【請求項4】 前記高圧系領域は5V以上の動作電圧で駆動することを特徴とする請求項1または3記載の半導体装置の製造方法。

【請求項5】 前記低圧系領域は5V以下の動作電圧で駆動することを特徴とする請求項1または3記載の半導体装置の製造方法。

【請求項6】 前記導電層は多結晶シリコンからなるこ

とを特徴とする請求項3記載の半導体装置の製造方法。

【請求項7】 前記第2のゲート電極は多結晶シリコンからなることを特徴とする請求項3記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、1チップの上に低圧系および高圧系MOSトランジスタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】図1は、従来の半導体装置を示す断面図である。P-型シリコン基板2の上には高圧系領域1および低圧系領域7が設けられている。前記50Vの高圧系領域1において、P-型シリコン基板2の表面上には厚さ t_1 の第1のゲート酸化膜3が設けられており、このゲート酸化膜の上には多結晶シリコンからなる第1のゲート電極4が設けられている。このゲート電極4をマスクとしてイオン注入することにより、前記P-型シリコン基板2の表面にはN-型LDD領域5およびソース・ドレイン領域のN+拡散層6が形成されている。

【0003】また、5Vの低圧系領域7において、P-型シリコン基板2の表面上には厚さ t_2 の第2のゲート酸化膜8が設けられており、このゲート酸化膜8の上には多結晶シリコンからなる第2のゲート電極9が設けられている。このゲート電極9をマスクとしてイオン注入することにより、前記P-型シリコン基板2の表面にはソース・ドレイン領域のN+拡散層10が形成されている。尚、トランジスタの信頼性を保持するために、前記ゲート酸化膜3、8の厚さは $t_1 > t_2$ の関係となっている。

【0004】

【発明が解決しようとする課題】ところで、従来の製造方法によって1チップの上に低圧系および高圧系トランジスタを混載した場合、図1に示すように、高圧系領域1において第1のゲート電極4のエッジとソース・ドレイン領域との間11の耐圧が劣化することがあり、高圧系トランジスタの信頼性が損なわれることがある。

【0005】この発明の目的は、1チップの上に5Vの低圧系および50Vの高圧系トランジスタを混載した半導体装置において、高圧系トランジスタにおける耐圧劣化を防止し、トランジスタの信頼性を向上する半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】この発明は、上記課題を解決するため、半導体基板の表面上に第1の酸化膜を設ける工程と、前記第1の酸化膜の上に高圧系領域における第1の窒化膜および低圧系領域における第2の窒化膜を設け、前記第1の窒化膜の両側の前記半導体基板に、LDD領域を形成するために不純物を導入する工程と、前記第1の窒化膜の両側に膜厚が前記第1の酸化膜より

厚い第2の酸化膜を設ける工程と、前記第2の窒化膜および前記低圧系領域における前記第1の酸化膜を除去することにより露出した前記半導体基板の表面上に膜厚が前記第1の酸化膜より薄い第3の酸化膜を設ける工程と、前記第1の窒化膜を除去し、前記第1、第2の酸化膜および前記第3の酸化膜それぞれの上にゲート電極を設ける工程と、前記ゲート電極の両側の前記半導体基板にソース・ドレイン領域を形成する工程とからなることを特徴としている。また、前記ゲート電極は多結晶シリコンからなることを特徴としている。

【0007】また、半導体基板の表面上に第1の酸化膜を設ける工程と、前記第1の酸化膜の上に高圧系領域における第1の導電層および低圧系領域における第2の導電層を設け、前記第1および第2の導電層それぞれの上に第1および第2の窒化膜を設け、前記第1の導電層および前記第1の窒化膜から構成された第1のゲート電極を形成する工程と、前記第1のゲート電極の両側の前記半導体基板に、LDD領域を形成するために不純物を導入する工程と、前記第1のゲート電極の両側に膜厚が前記第1の酸化膜より厚い第2の酸化膜を設ける工程と、前記第2の窒化膜、前記第2の導電層および前記低圧系領域における前記第1の酸化膜を除去することにより露出した前記半導体基板の表面上に膜厚が第1の酸化膜より薄い第3の酸化膜を設ける工程と、前記第3の酸化膜の上に第2のゲート電極を設ける工程と、前記第1および第2のゲート電極の両側の前記半導体基板にソース・ドレイン領域を形成する工程とからなることを特徴としている。また、前記高圧系領域は5V系以上の動作電圧で駆動することを特徴としている。また、前記低圧系領域は5V系以下の動作電圧で駆動することを特徴としている。また、前記導電層は多結晶シリコンからなることを特徴としている。また、前記第2のゲート電極は多結晶シリコンからなることを特徴としている。

【0008】

【作用】この発明は、半導体基板の表面上に第1の酸化膜を設け、この酸化膜の上に高圧系領域における第1の窒化膜および低圧系領域における第2の窒化膜を設ける。前記第1の窒化膜の両側に膜厚が前記第1の酸化膜より厚い第2の酸化膜を設け、前記第2の窒化膜および低圧系領域における第1の酸化膜を除去することにより露出した半導体基板の表面上に膜厚が第1の酸化膜より薄い第3の酸化膜を設ける。前記第1の窒化膜を除去し、前記第1、第2の酸化膜および第3の酸化膜それぞれの上にゲート電極を設ける。上記のように、膜厚が第1の酸化膜より厚い第2の酸化膜を設けているため、高圧系領域におけるゲート電極のエッジの耐圧劣化を防止できる。

【0009】

【実施例】以下、図面を参照してこの発明を実施例により説明する。

【0010】図2乃至図7は、この発明の第1の実施例による半導体装置の製造方法を示すものである。先ず、50Vの高圧系領域19および5Vの低圧系領域20において、比抵抗10乃至20 $\Omega\cdot\text{cm}$ のP⁻型シリコン基板21の表面上には厚さ1500 \AA の第1のゲート酸化膜22が設けられ、このゲート酸化膜22の上には厚さ1000 \AA の窒化膜23が堆積される。

【0011】図3に示すように、前記窒化膜23の上にはレジスト膜24が設けられ、このうち、高圧系領域19はレジスト膜24をマスクとして窒化膜23がエッチングされる。この後、P⁻型シリコン基板21の表面に50V系トランジスタのLDD領域を形成するために、前記レジスト膜24をマスクとして160KeVにより濃度 $5\times 10^{12}\text{cm}^{-2}$ でP⁺がイオン注入される。

【0012】次に、図4に示すように、前記レジスト膜24は除去され、高圧系領域19における窒化膜23の両側に露出している第1のゲート酸化膜22にはLOCOS法により厚さ2500 \AA の第1の酸化膜25が形成される。この際、P⁻型シリコン基板21に前記イオン注入されたP⁺が拡散され、前記P⁻型シリコン基板21には比抵抗 ρ_s が約10K Ω/\square のN⁻型LDD領域26が形成される。

【0013】この後、図5に示すように、高圧系領域19における窒化膜23および第1の酸化膜25の表面上には図示せぬレジスト膜が設けられ、このレジスト膜をマスクとしてエッチングすることにより、低圧系領域20における窒化膜23および第1のゲート酸化膜22が除去される。この後、前記レジスト膜が除去され、低圧系領域20におけるP⁻型シリコン基板21の表面上には厚さ250 \AA の第2のゲート酸化膜27が設けられる。

【0014】次に、図6に示すように、高圧系領域19における前記窒化膜23が除去され、前記第1、第2のゲート酸化膜22、27および第1の酸化膜25の上には厚さ0.4 μm 、比抵抗 $\rho_s=25\Omega/\square$ の多結晶シリコン層28が堆積される。この多結晶シリコン層28の上にはレジスト膜29が設けられる。このレジスト膜29をマスクとして前記多結晶シリコン層28、第1の酸化膜25および第2のゲート酸化膜27をRIE(Reactive Ion Etching)によって異方的にエッチングすることにより、P⁻型シリコン基板21の表面上には50V系トランジスタおよび5V系トランジスタそれぞれのゲート電極30、31が形成される。この後、P⁻型シリコン基板21の表面にはソース・ドレイン領域を形成するために、前記レジスト膜29をマスクとして50KeVにより濃度 $5\times 10^{15}\text{cm}^{-2}$ でAs⁺がイオン注入される。

【0015】この後、図7に示すように、前記レジスト膜29が除去され、P⁻型シリコン基板21および多結

5

晶シリコン層28の表面上には熱酸化により第2の酸化膜32が形成される。この際、前記P⁻型シリコン基板21にイオン注入されたAs⁺が拡散され、前記P⁻型シリコン基板21には厚さ0.3 μ m、比抵抗 $\rho_s=50\Omega/\square$ のソース・ドレイン領域のN⁺型拡散層33が形成される。前記第2の酸化膜32の上にはパッシベーション膜34が堆積され、この後、図示せぬアルミニウム配線が設けられる。

【0016】上記第1の実施例によれば、高圧系領域19のトランジスタはゲート電極としての多結晶シリコン層28の下に膜厚が第1のゲート酸化膜22より厚い第1の酸化膜25を設けている。このため、ゲート電極のエッジ近傍の耐圧を向上できる。

【0017】尚、上記第1の実施例では、レジスト膜24をマスクとして窒化膜23をエッチングすることにより露出した第1のゲート酸化膜27をさらに酸化により厚さ2500オングストロームの第1の酸化膜25を形成しているが、レジスト膜24をマスクとして窒化膜23および第1のゲート酸化膜27をエッチングし、露出したP⁻型シリコン基板21に厚さ2500オングストロームの第1の酸化膜25を形成することも可能である。

【0018】また、レジスト膜24をマスクとして窒化膜23をエッチングした後、P⁻型シリコン基板21の表面にP⁺をイオン注入し、第1の酸化膜25を形成する際の熱工程によりP⁺が拡散され、N⁻型LDD領域26を形成しているが、P⁻型シリコン基板21の表面にP⁺をイオン注入した後、熱処理によってN⁻型LDD領域26を形成し、次に、第1の酸化膜を形成することも可能である。

【0019】図8乃至図13は、この発明の第2の実施例による半導体装置の製造方法を示すものである。50Vの高圧系領域39および5Vの低圧系領域40において、比抵抗10乃至20 Ωcm のP⁻型シリコン基板41の表面上には厚さ1500オングストロームの第1のゲート酸化膜42が設けられる。このゲート酸化膜42の上には厚さ0.4 μ m、比抵抗 $\rho_s=30\Omega/\square$ の第1の多結晶シリコン層43が堆積され、この多結晶シリコン層43の上には厚さ1000オングストロームの窒化膜44が堆積される。

【0020】この後、図9に示すように、前記窒化膜44の上にはレジスト膜45が設けられ、このうち、高圧系領域39はレジスト膜45をマスクとして前記窒化膜44および第1の多結晶シリコン層43がエッチングされ、第1のゲート酸化膜42の上には高圧系領域39における第1のゲート電極46が形成される。この後、P⁻型シリコン基板41の表面には50V系トランジスタのLDD領域を形成するために、前記レジスト膜45をマスクとして160KeVにより濃度 $5\times 10^{12}\text{cm}^{-2}$ でP⁺がイオン注入される。

6

【0021】次に、図10に示すように、前記レジスト膜45は除去され、前記第1のゲート電極46の両側に露出している第1のゲート酸化膜42にはLOCOS法により厚さ3000オングストロームの第1の酸化膜47が形成される。この際、P⁻型シリコン基板41にイオン注入されたP⁺が拡散され、前記P⁻型シリコン基板41には比抵抗 ρ_s が約10K Ω/\square のN⁻型LDD領域48が形成される。

【0022】この後、図11に示すように、高圧系領域39における第1のゲート電極46および第1の酸化膜47の上には図示せぬレジスト膜が設けられ、このレジスト膜をマスクとしてエッチングすることにより、低圧系領域40における前記窒化膜44、第1の多結晶シリコン層43および第1のゲート酸化膜42が除去される。この後、低圧系領域40におけるP⁻型シリコン基板41の表面上には厚さ250オングストロームの第2のゲート酸化膜49が形成される。このゲート酸化膜49の上には厚さ0.4 μ m、比抵抗 $\rho_s=30\Omega/\square$ の図示せぬ第2の多結晶シリコン層が堆積され、パターニングすることにより第2のゲート電極50が形成される。この後、前記レジスト膜が除去される。

【0023】次に、図12に示すように、前記第1および第2のゲート電極46、50をマスクとして、第1の酸化膜47および第2のゲート酸化膜49がエッチングされる。この後、P⁻型シリコン基板41の表面にはソース・ドレイン領域を形成するために、前記第1および第2のゲート電極46、50をマスクとして50KeVにより濃度 $5\times 10^{15}\text{cm}^{-2}$ でAs⁺がイオン注入される。

【0024】この後、図13に示すように、前記P⁻型シリコン基板41および第2のゲート電極50の表面上には熱酸化により第2の酸化膜51が形成される。この際、P⁻型シリコン基板41に前記イオン注入されたAs⁺が拡散され、前記P⁻型シリコン基板41には厚さ0.3 μ m、比抵抗 $\rho_s=50\Omega/\square$ のソース・ドレイン領域のN⁺型拡散層52が形成される。前記第2の酸化膜51および第1のゲート電極46の上にはパッシベーション膜53が堆積され、この後、図示せぬアルミニウム配線が設けられる。上記第2の実施例においても第1の実施例と同様の効果を得ることができる。

【0025】尚、上記第2の実施例では、第1のゲート酸化膜42の上に第1の多結晶シリコン層43を堆積し、この多結晶シリコン層43の上に窒化膜44を堆積するが、第1のゲート酸化膜42の上に第1の多結晶シリコン層43を堆積し、この多結晶シリコン層43の上に酸化膜を設け、この酸化膜の上に窒化膜44を堆積することも可能である。

【0026】また、レジスト膜45をマスクとして窒化膜44および第1の多結晶シリコン層43をエッチングした後、P⁻型シリコン基板41の表面にP⁺をイオン

注入し、第1の酸化膜47を形成する際の熱工程によりP⁺が拡散され、N⁻型LDD領域48を形成しているが、P⁻型シリコン基板41の表面にP⁺をイオン注入した後、熱処理によってN⁻型LDD領域48を形成し、次に、第1の酸化膜47を形成することも可能である。

【0027】また、レジスト膜45をマスクとして窒化膜44および第1の多結晶シリコン層43をエッチングすることにより露出した第1のゲート酸化膜42をさらに酸化により厚さ3000オングストロームの第1の酸化膜47を形成しているが、レジスト膜45をマスクとして窒化膜44、第1の多結晶シリコン層43および第1のゲート酸化膜42をエッチングし、露出したP⁻型シリコン基板41に厚さ3000オングストロームの第1の酸化膜47を形成することも可能である。

【0028】また、低圧系領域40におけるP⁻型シリコン基板41の表面上に第2のゲート酸化膜49を形成し、このゲート酸化膜49の上に第2の多結晶シリコン層を堆積するが、P⁻型シリコン基板41の表面上に第2のゲート酸化膜49を形成した後、高圧系領域における窒化膜44を除去し、次に、第1のゲート酸化膜49の上に第2の多結晶シリコン層を堆積することも可能である。

【0029】また、この発明の半導体装置は上記の実施例に限定されことなく、上記の実施例においてはNチャネルトランジスタの製造方法について示したものであるが、Pチャネルトランジスタについても同様の方法により製造することが可能である。

【0030】

【発明の効果】以上説明したようにこの発明によれば、第1の窒化膜の両側に膜厚が第1の酸化膜より厚い第2の酸化膜を設け、第2の窒化膜および低圧系領域における第1の酸化膜を除去することにより露出した半導体基板の表面上に膜厚が第1の酸化膜より薄い第3の酸化膜を設けている。従って、1チップの上に低圧系および高圧系トランジスタを混載した半導体装置において、高圧系トランジスタにおける耐圧劣化を防止でき、トランジスタの信頼性を向上できる。

【図面の簡単な説明】

【図1】従来の半導体装置を示す断面図。

【図2】この発明の第1の実施例による半導体装置の製造方法を示すものであり、第1のゲート酸化膜および窒化膜を設ける工程を示す断面図。

【図3】この発明の第1の実施例による半導体装置の製造方法を示すものであり、窒化膜を除去する工程を示す断面図。

【図4】この発明の第1の実施例による半導体装置の製造方法を示すものであり、第1の酸化膜を設ける工程を示す断面図。

【図5】この発明の第1の実施例による半導体装置の製造方法を示すものであり、5V系トランジスタの第2のゲート酸化膜を設ける工程を示す断面図。

【図6】この発明の第1の実施例による半導体装置の製造方法を示すものであり、ゲート電極を設ける工程を示す断面図。

【図7】この発明の第1の実施例による半導体装置の製造方法を示すものであり、第2の酸化膜およびパッシベーション膜を設ける工程を示す断面図。

【図8】この発明の第2の実施例による半導体装置の製造方法を示すものであり、第1のゲート酸化膜、第1の多結晶シリコン層および窒化膜を設ける工程を示す断面図。

【図9】この発明の第2の実施例による半導体装置の製造方法を示すものであり、第1のゲート電極を設ける工程を示す断面図。

【図10】この発明の第2の実施例による半導体装置の製造方法を示すものであり、第1の酸化膜およびN⁻型LDD領域を設ける工程を示す断面図。

【図11】この発明の第2の実施例による半導体装置の製造方法を示すものであり、第2のゲート電極を設ける工程を示す断面図。

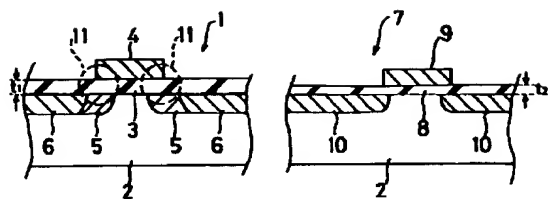
【図12】この発明の第2の実施例による半導体装置の製造方法を示すものであり、P⁻型シリコン基板41の表面にAs⁺をイオン注入する工程を示す断面図。

【図13】この発明の第2の実施例による半導体装置の製造方法を示すものであり、第2の酸化膜およびパッシベーション膜を設ける工程を示す断面図。

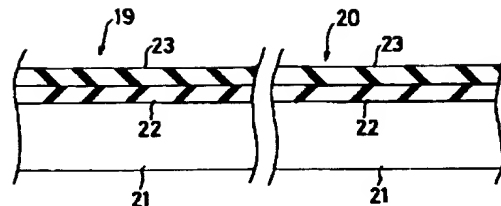
【符号の説明】

19…50Vの高圧系領域、20…5Vの低圧系領域、21…P⁻型シリコン基板、22…第1のゲート酸化膜、23…窒化膜、24…レジスト膜、25…第1の酸化膜、26…N⁻型LDD領域、27…第2のゲート酸化膜、28…多結晶シリコン層、29…レジスト膜、30、31…ゲート電極、32…第2の酸化膜、33…N⁺型拡散層、34…パッシベーション膜、39…50Vの高圧系領域、40…5Vの低圧系領域、41…P⁻型シリコン基板、42…第1のゲート酸化膜、43…第1の多結晶シリコン層、44…窒化膜、45…レジスト膜、46…第1のゲート電極、47…第1の酸化膜、48…N⁻型LDD領域、49…第2のゲート酸化膜、50…第2のゲート電極、52…第2の酸化膜、53…パッシベーション膜。

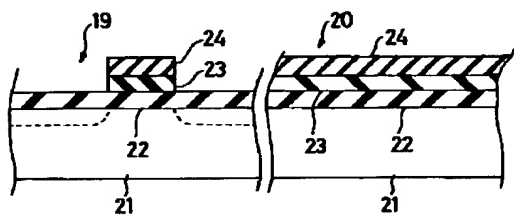
【図1】



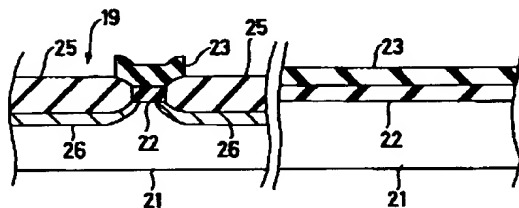
【図2】



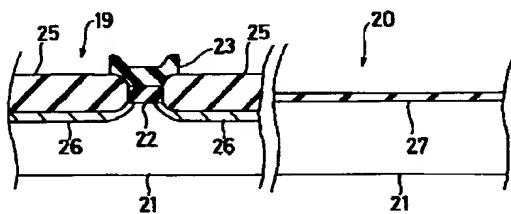
【図3】



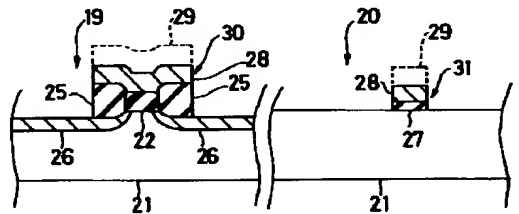
【図4】



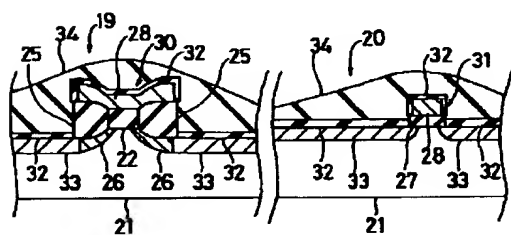
【図5】



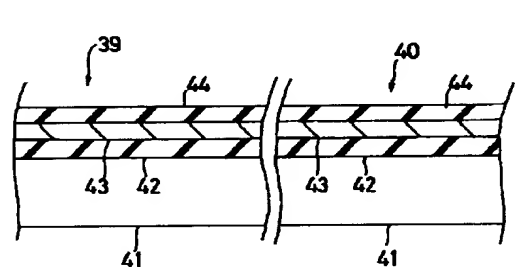
【図6】



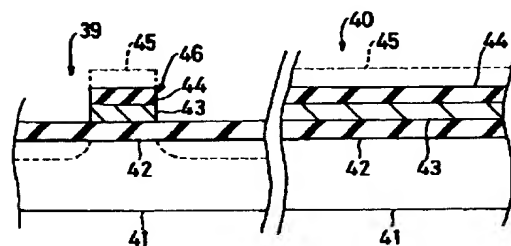
【図7】



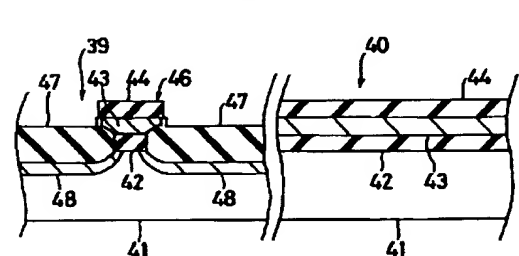
【図8】



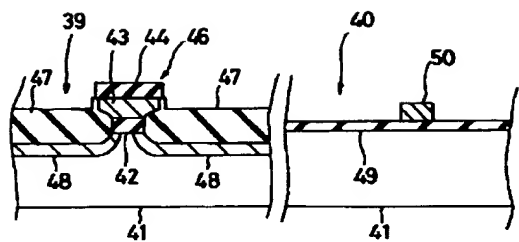
【図9】



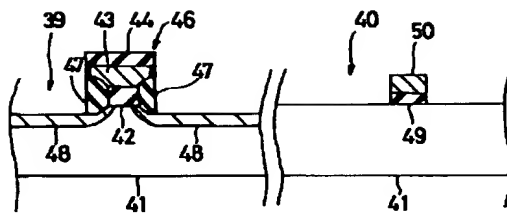
【図10】



【図11】



【図12】



【図13】

